

Family list

2 family member for:

JP9166788

Derived from 1 application.

1 THIN-FILM TRANSISTOR

Publication info: **JP3188167B2 B2** - 2001-07-16

JP9166788 A - 1997-06-24

Data supplied from the *esp@cenet* database - Worldwide

DIALOG(R)File 347:JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

05551988 **Image available**

5 THIN-FILM TRANSISTOR

PUB. NO.: 09-166788 [JP 9166788 A]

PUBLISHED: June 24, 1997 (19970624)

INVENTOR(s): JINNO MASASHI

10 HIRAI KYOKO

APPLICANT(s): SANYO ELECTRIC CO LTD [000188] (A Japanese Company or
Corporation), JP (Japan)

APPL. NO.: 07-327473 [JP 95327473]

FILED: December 15, 1995 (19951215)

15 INTL CLASS: [6] G02F-001/136; H01L-029/786

JAPIO CLASS: 29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 42.2
(ELECTRONICS -- Solid State Components)

JAPIO KEYWORD:R002 (LASERS); R011 (LIQUID CRYSTALS)

20 ABSTRACT

PROBLEM TO BE SOLVED: To increase a voltage holding rate and to improve a
contrast ratio by constituting a thin-film transistor(TFT) in such a manner
that the current directions of two channels are different from each other.

SOLUTION: The current directions of the respective channel regions 11Na,
25 11Nb are reversed from each other in the warped shape of polycrystalline
silicon(p-Si) 11 in the constitution obtained by intervening LD regions
11Lc to 11Lf of, for example, about 1 to 2.mu.m length on both sides of
gate electrodes 13Ga, 13Gb. Such LD regions 11Lc to 11Lf usually is
required to be $\geq 0.5\mu\text{m}$ in order to relieve strong electric fields, but
30 if the LD regions are shrunk by the misalignment of masks, the strong

electric fields are not relieved and lead currents are no longer suppressed. In such a case, the constitution to direct the directions of the currents in the channels reverse from each other, by which the leak currents are suppressed by another channel having a series relation with
5 the one channel even if the leak currents are generated in the one channel.

特開平9-166788

(43)公開日 平成9年(1997)6月24日

(51) Int. Cl. ⁶	識別記号	F I		
G02F 1/136	500	G02F 1/136	500	
H01L 29/786		H01L 29/78	617	N
			618	F
			618	C

審査請求 未請求 請求項の数 3 O L (全10頁)

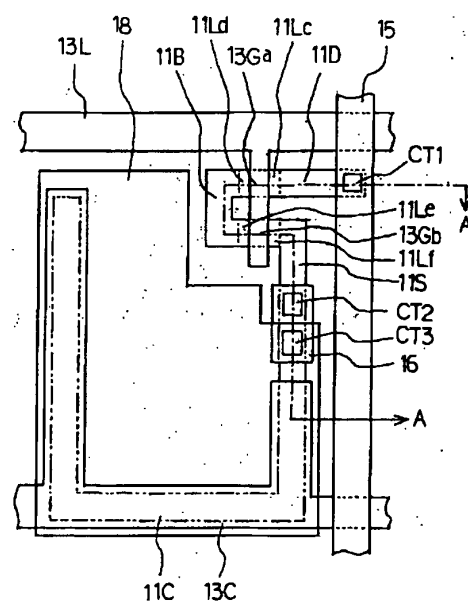
(21)出願番号	特願平7-327473	(71)出願人	000001889 三洋電機株式会社
(22)出願日	平成7年(1995)12月15日		大阪府守口市京阪本通2丁目5番5号
		(72)発明者	神野 優志 大阪府守口市京阪本通2丁目5番5号 三 洋電機株式会社内
		(72)発明者	平井 恭子 大阪府守口市京阪本通2丁目5番5号 三 洋電機株式会社内
		(74)代理人	弁理士 岡田 敬

(54) 【発明の名称】 薄膜トランジスタ

(57) 【要約】

【課題】 LDD構造のダブルゲートp o l y - S i T F Tにおいて、マスクずれによる低濃度領域の消失に起因するリーク電流を抑え、電圧保持率を上昇し、コントラスト比を向上する。

【解決手段】 LDD構造のダブルゲートTFTであって、2つのチャンネル領域11Na、11Nbの電流方向を逆にしている。レジストが左右方向にずれ動いた場合、LD領域11Lc、11LfあるいはLD領域11Ld、11Leのいずれかが有効となるので、少なくともどちらか一方のチャンネル領域でリーク電流が抑えられる。



【特許請求の範囲】

【請求項1】 絶縁基板上に島状に形成された多結晶半導体層と、絶縁層を挟んで前記多結晶半導体層に重畳配置された第1及び第2のゲート電極と、前記多結晶半導体層中の前記第1のゲート電極との重畳領域及び前記第2のゲート電極との重畳領域に各々形成された第1のチャンネル領域及び第2のチャンネル領域と、前記第1のチャンネル領域と第2のチャンネル領域の間の前記多結晶半導体層中に不純物が高濃度にドーピングされた高濃度領域からなる共通領域と、前記第1のチャンネル領域を挟んで前記共通領域に対向する前記多結晶半導体層中に前記不純物が高濃度にドーピングされた高濃度領域からなるドレイン領域と、前記第2のチャンネル領域を挟んで前記共通領域に対向する前記多結晶半導体層中に前記不純物が高濃度にドーピングされた高濃度領域からなるソース領域と、前記第1のチャンネル領域と前記ドレイン領域の間、前記第1のチャンネル領域と前記共通領域の間、前記第2のチャンネル領域と前記共通領域の間、及び、前記第2のチャンネル領域と前記ソース領域の間に前記不純物が低濃度にドーピングされた低濃度領域が介在されてなる薄膜トランジスタにおいて、前記第1のチャンネル領域の電流方向と前記第2のチャンネル領域の電流方向が異なっていることを特徴とする薄膜トランジスタ。

【請求項2】 前記多結晶半導体層は、前記共通領域において反り返った形状で、前記第1のチャンネルの電流方向と前記第2のチャンネルの電流方向は互いに逆方向にされていることを特徴とする請求項1記載の薄膜トランジスタ。

【請求項3】 前記多結晶半導体層は、前記共通領域において直角に折り曲げられた形状で、前記第1のチャンネル領域の電流方向と前記第2のチャンネル領域の電流方向は、互いに直角方向にされていることを特徴とする請求項1記載の薄膜トランジスタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示装置(LCD: Liquid Crystal Display)に搭載される薄膜トランジスタ(TFT: thin film transistor)に関し、特に、チャンネル層を多結晶シリコン、即ち、poly-Siにより形成し、これを用いて駆動回路部を基板上に一体的に形成した駆動回路一体型を実現するpoly-Si TFTに関する。

【0002】

【従来の技術】LCDは小型、薄型、低消費電力などの利点があり、OA機器、AV機器などの分野で実用化が進んでいる。特に、スイッチング素子として、TFTを用いたアクティブマトリクス型は、原理的にデューティ比100%のスタティック駆動をマルチプレクスの行うことができ、大画面、高精細な動画ディスプレイに使用されている。

用されている。

【0003】アクティブマトリクスLCDは、マトリクス状に配置された表示電極にTFTを接続形成した基板(TFF基板)と共通電極を有する基板(対向基板)が、液晶を挟んで貼り合わされた構成となっている。表示電極と共通電極の対向部分は液晶を誘電層とした画素容量となっており、TFTにより線順次に選択され、電圧が印加される。画素容量に印加された電圧はTFTのOFF抵抗により1フィールド期間保持させる。液晶は電気光学的に異方性を有しており、画素容量により形成された電界の強度に対応して光を変調する。

【0004】特に、TFTのチャンネル層として多結晶シリコン(poly-Si)を用いることによって、マトリクス画素部と周辺駆動回路部を同一基板上に形成した駆動回路一体型のLCDが開発されている。一般に、poly-Siは非晶質シリコン(a-Si)に比べて移動度が高い。このため、TFTが小型化され、高精細化が実現される。また、ゲートセルフアライン構造による微細化、寄生容量の縮小による高速化が達成されるため、n-chTFTとp-chTFTの相補構造を形成することにより、高速駆動回路を構成することができ、このように、駆動回路部を同一基板上にマトリクス画素部と一体形成することにより、製造コストの削減、LCDモジュールの小型化が実現される。

【0005】図7と図8に、このようなpoly-Si TFTLCDの単位画素部の構造を示す。図7は平面図であり、図8はそのC-C線に沿った断面図である。ここにあげたのは、ゲートを2つ設けて、チャンネル端部にかかる強電界を緩和して、リーク電流を抑えるとともに、反転層の形成をセパレートとすることにより、閾値の上昇を防いだダブルゲート(WG)構造である。ガラスなどの基板(100)上に、島状にパターンニングされたpoly-Si(101)、及び、これと一体で電荷保持用の補助容量を形成する第1の補助容量電極(101C)が形成されている。poly-Si(101)及び第1の補助容量電極(101C)を覆う全面には、SiO₂などのゲート絶縁膜(102)が被覆されている。ゲート絶縁膜(102)上には、ドーパドpoly-Siとシリサイドのポリサイド層からなる2つのゲート電極(103Ga, 103Gb)と、これらに一体のゲートライン(103L)が形成されている。

【0006】poly-Si(101)は、ゲート電極(103Ga, 103Gb)をマスクとしたセルフアライン構造でドーピングがなされている。即ち、ゲート電極(103Ga, 103Gb)の直下にp型に低濃度にドーピングされたチャンネル領域(101Na, 101Nb)と、これらチャンネル領域(101Na, 101Nb)の両側にn型に低濃度にドーピングされたLD(lightly doped)領域(101Lc, 101Ld, 101Le, 101Lf)と、LD領域(101Lc, 1

01Lf)の更に外側にn型に高濃度にドーピングされたドレイン及びソース領域(101D, 101S)と、2つのゲート電極(103Ga, 103Gb)の間の領域、即ち、LD領域(101Ld, 101Le)の間にソース及びドレインと同様、高濃度にドーピングされた共通領域(101B)の各領域からなっている。第1の補助容量電極(101C)はソース領域(101S)と一体で形成されている。このように、ソース・ドレイン及び共通領域などの高濃度領域(101S, 101D, 101B)とチャンネル領域(101Na, 101Nb) 10の間に低濃度にドーピングされたLD領域(101Lc, 101Ld, 101Le, 101Lf)が介在されたチャンネルの構造はLDD (lightly doped drain) と呼ばれ、チャンネル領域端に加わる強電界を緩和して電荷の加速を弱め、ホットキャリアなどに起因するリーク電流を抑制し、電圧保持率を向上してコントラスト比を維持する効果がある。

【0007】一方、前記第1の補助容量電極(101C)に対応するゲート絶縁膜(102)上にはゲート電極及びライン(103)と同一層からなる第2の補助容量電極(103C)が形成され、補助容量を形成している。これらゲート電極(103Ga, 103Gb)とそのライン(103L)及び第2の補助容量電極(103C)を覆う全面にはSiO₂などの第1の層間絶縁膜(104)が被覆され、第1の層間絶縁膜(104)上には、Alなどからなるドレイン電極(105)及びソース電極(106)が設けられ、ゲート絶縁膜(102)及び第1の層間絶縁膜(104)中に開口されたコンタクトホール(CT7, CT8)を介して各々ドレイン・ソース領域(101D, 101S)に接続されている。ドレイン電極(105)は、同一列について互いに接続されている。これら、ドレイン・ソース電極(105, 106)上には、SiO₂などの第2の層間絶縁膜(107)が形成されている。第2の層間絶縁膜(107)上には液晶駆動用の表示電極(108)がITOにより形成され、第2の層間絶縁膜(107)に形成されたコンタクトホール(CT9)を介してソース電極(106)に接続されている。

【0008】図7及び図8に示した薄膜トランジスタの製造方法を説明する。まず、基板(100)上に、アモルファスシリコン(a-Si)を成膜して、エキシマレーザアニールによりa-Siを結晶化してpoly-Si層にする。これをエッチングして、TFT部の島層及び第1の補助容量電極(101C)を形成している。poly-Si(101)層をp型に低濃度でドーピングした後、これを覆う全面に、SiO₂などの絶縁膜を積層し、ゲート絶縁膜(102)としている。アニールの後、イオン注入を行って第1の補助容量電極(101C)を低抵抗化する。再びpoly-Siを積層して、隣のイオン注入を行って低抵抗化した後、タングステン 50

シリサイド(WSi)を積層し、このpoly-SiとWSiのポリサイド層を同一パターンでエッチングして、ゲート電極(103Ga, 103Gb)と、これを行について互いに接続するゲートライン(103L)、及び第2の補助容量電極(103C)を形成している。所定のマスティングレジストを形成してp-ch領域を覆った後、ゲート電極(103Ga, 103Gb)をマスクにして、低ドーズ量で隣のイオン注入を行い、ソース及びドレイン領域(11S, 11D)とLD領域(101Lc, 101Ld, 101Le, 101Lf)となる領域を低濃度にドーピングする。更に、ゲート電極(103Ga, 103Gb)よりも大きなレジストを形成した後、これをマスクに高ドーズ量で隣のイオン注入を行い、ソース及びドレイン領域(101S, 101D)を高濃度にドーピングするとともに、LD領域(101Lc, 101Ld, 101Le, 101Lf)を形成する。アニールの後、SiO₂を積層して第1の層間絶縁膜(104)を形成した後、エッチングによりドレイン及びソース領域(101D, 101S)上のゲート絶縁膜(102)及び第1の層間絶縁膜(104)を除去してコンタクトホール(CT7, CT8)を形成する。更に、Ti/AlSiを積層して、これをエッチングして、ドレイン電極(105)とソース電極(106)を形成し、各々、コンタクトホール(CT7, CT8)を介してドレイン及びソース領域(101D, 101S)に接続している。更に、ソース電極(106)上の第2の層間絶縁膜(107)を除去してコンタクトホール(CT9)を形成した後、ITOを成膜して、これをエッチングすることにより、表示電極(108)を形成し、コンタクトホール(CT9)を介してソース電極(106)に接続する。

【0009】

【発明が解決しようとする課題】図7と図8に示した従来のTFTでは、ソース及びドレイン領域(101S, 101D)とLD領域(101Lc, 101Ld, 101Le, 101Lf)は、マスク合わせにより形成されている。即ち、フォトリソにより形成されたレジストをマスクに、低濃度にドーピングされた領域に一部を除いてドーピングを行うことにより、高濃度のソース及びドレイン領域(101S, 101D, 101B)が形成され、それと同時にそれ以外の低濃度領域が残ってLD領域(101Lc, 101Ld, 101Le, 101Lf)とされる。

【0010】従って、例えば図9に示すように、レジスト(R)がマスク合わせずれにより位置が左にずれると、LD領域(101Lc)とLD領域(101Le)が縮小あるいは消失し、LD領域(101Ld)とLD領域(101Lf)が増大する。この時、ドレイン領域(101D)に正電圧が加わると、LD領域(101Lc)による強電界が緩和されず、チャンネル領域(10

1Na)にリーク電流が生じ、共通領域(101B)に正電圧が印加される。そして、LD領域(101Le)においても強電界が緩和されず、チャンネル領域(101Nb)にリーク電流が生じる。このため、OFF電流が抑えられず、電圧保持率が低下し、コントラスト比が下がる問題を招いていた。

【0011】一方、マスクアラインメントを含めて、LD領域(101Lc, 101Ld, 101Le, 101Lf)の全長を長くすればこのようなことは防がれるが、ON電流の点で好ましくない。即ち、低濃度のLD領域(101Lc, 101Ld, 101Le, 101Lf)は比較的抵抗が高く、ON時には抵抗が直列挿入された同等になり、相互コンダクタンスを下げってしまう。この結果、輝度やコントラスト比の低下を招いてしまう。従って、LD領域(101Lc, 101Ld, 101Le, 101Lf)の全長はできるだけ短い方が好ましい。

【0012】

【課題を解決するための手段】本発明はこの課題を解決するために成され、絶縁基板上に島状に形成された多結晶半導体層と、絶縁層を挟んで前記多結晶半導体層に重畳配置された第1及び第2のゲート電極と、前記多結晶半導体層中の前記第1のゲート電極との重畳領域及び前記第2のゲート電極との重畳領域に各々形成された第1のチャンネル領域及び第2のチャンネル領域と、前記第1のチャンネル領域と第2のチャンネル領域の間の前記多結晶半導体層中に不純物が高濃度にドーピングされた高濃度領域からなる共通領域と、前記第1のチャンネル領域を挟んで前記共通領域に対向する前記多結晶半導体層中に前記不純物が高濃度にドーピングされた高濃度領域からなるドレイン領域と、前記第2のチャンネル領域を挟んで前記共通領域に対向する前記多結晶半導体層中に前記不純物が高濃度にドーピングされた高濃度領域からなるソース領域と、前記第1のチャンネル領域と前記ドレイン領域の間、前記第1のチャンネル領域と前記共通領域の間、前記第2のチャンネル領域と前記共通領域の間、及び、前記第2のチャンネル領域と前記ソース領域の間に前記不純物が低濃度にドーピングされた低濃度領域が介在されてなる薄膜トランジスタにおいて、前記第1のチャンネル領域の電流方向と前記第2のチャンネル領域の電流方向が異なっている構成である。

【0013】これにより、低濃度領域の形成位置が一方にずれて、一方のチャンネル領域の低濃度領域の片方が縮小してリーク電流を招いたとしても、他方のチャンネル領域については、低濃度領域が正常に作用するため、特性の悪化が防がれる。特に、前記多結晶半導体層は、前記共通領域において反り返った形状で、前記第1のチャンネルの電流方向と前記第2のチャンネルの電流方向は互いに逆方向にされている構成である。

【0014】これにより、トランジスタのチャンネル長方向に低濃度領域の形成位置がずれ動いたとき、一方の

チャンネル領域に関して低濃度領域が縮小した側の端に強電界が発生しても、他のチャンネル領域に関して低濃度領域が増大した側の端に強電界が加わるようになるので、両方のチャンネル領域の直列結合動作により、リーク電流が抑えられ、特性の悪化が防がれる。

【0015】また、前記多結晶半導体層は、前記共通領域において直角に折り曲げられた形状で、前記第1のチャンネル領域の電流方向と前記第2のチャンネル領域の電流方向は、互いに直角方向にされている構成である。これにより、低濃度領域の形成位置がずれ動いても、一方のチャンネル領域に関して、低濃度領域が縮小することになっても、他方の低濃度領域に関しては、低濃度領域の縮小が抑えられるため、両方のチャンネル領域の直列結合動作により、リーク電流が抑えられ、特性の悪化が防がれる。

【0016】

【発明の実施の形態】図1及び図2は本発明の第1の実施形態にかかる薄膜トランジスタ(TFT)の構造を示している。図1は単位画素部の平面図であり、図2はそのA-A線に沿った断面図である。ガラスなどの基板(10)上に、多結晶シリコン(poly-Si)(11)がTFT部においてコの字形に反り返った形状で島状に形成されるとともに、これと一体で画素部周縁部にも形成されて、第1の補助容量電極(11C)となっている。これらp-Si(11)島層及び第1の補助容量電極(11C)上にはゲート絶縁膜(12)が被覆されている。ゲート絶縁膜(12)上にはゲートライン(13L)が形成され、p-Si(11)島層に対応する領域には、ゲートライン(13L)からの延在部が、反り返された形状のp-Si(11)上の2カ所へ配され、各々2つのゲート電極(13Ga, 13Gb)となっている。ゲート電極及びライン(13)は下層がポリシリコン、上層がタングステンなどのシリサイドの積層構造からなるポリサイド層により形成されている。

【0017】p-Si(11)層には、これらゲート電極(13Ga, 13Gb)をマスクとしたセルフアライン関係をもって2つのチャンネル領域(11Na, 11Nb)、チャンネル領域(11Na)の両側にはn型に低濃度にドーピングされたLD(lightly doped)領域(11Lc, 11Ld)、チャンネル領域(11Nb)の両側にはn型に低濃度にドーピングされたLD領域(11Le, 11Lf)が形成されている。また、LD領域(11Lc)(11Lf)の更に外側には各々n型に高濃度にドーピングされたドレイン領域(11D)及びソース領域(11S)が形成され、LD領域(11Ld)と(11Le)の間には各々n型に高濃度にドーピングされた共通領域(11B)が形成されている。

【0018】また、ゲート絶縁膜(12)を挟んだ第1の補助容量電極(11C)上には、ゲート電極及びライン(13)と同一層のポリサイドからなる第2の補助容

量電極(13C)が形成され、電荷保持用の補助容量が形成されている。これらゲート電極(13Ga, 13Gb)、ゲートライン(13L)及び第2の補助容量電極(13C)上には、SiO₂などからなる第1の層間絶縁膜(14)が全面に被覆されている。第1の層間絶縁膜(14)上には、Alなどからなるドレイン電極(15)とソース電極(16)が形成されており、ドレイン領域(11D)及びソース領域(11S)上の第1の層間絶縁膜(14)とゲート絶縁膜(12)中に開口されたコンタクトホール(CT1, CT2)を介して、それ

ぞれ、ドレイン領域(11D)及びソース領域(11S)が接続形成されている。
【0019】これらドレイン及びソース電極(15, 16)を覆う全面は、SiO₂/SOG/SiO₂のような平坦化絶縁層からなる第2の層間絶縁膜(17)が形成され、ソース電極(16)上にはコンタクトホール(CT3)が開口されている。第2の層間絶縁膜(17)上には、ITOからなる表示電極(18)が形成され、コンタクトホール(CT3)を介してソース電極(16)に接続されている。

【0020】次に、図1及び図2に示した液晶表示装置の製造方法を説明する。まず、ガラスからなる基板(10)上に、シランSiH₄を材料ガスとしたCVDによりアモルファスシリコン(a-Si)を積層し、このa-Siを400℃のエキシマレーザアニールにより多結晶化してポリシリコン(p-Si)(11)としたものを、反応性イオンエッチ、即ち、RIE(reactive ion etch)によりエッチングすることにより、反り返った形状のTFT部の島層及び第1の補助容量電極(11C)を形成している。p-Si(11)層をp型に低濃度でドーピングした後、これらの上に、440℃の減圧CVDにより、SiO₂を1000Åの厚さに積層し、ゲート絶縁膜(12)としている。そして、SiH₄を材料ガスとした580℃の高温CVDによりpoly-Siを積層して、燐のイオンドーピングを行って低抵抗化した後、タングステンシリサイド(WSi)をスパッタリングし、このpoly-SiとWSiのポリサイド層をRIEにより同一パターンでエッチングすることにより、ゲート電極(13a, 13b)と、これらを同一行について互いに接続するゲートライン(13L)、及び、第2の補助容量電極(13C)を形成している。

【0021】所定領域にマスキングレジストを施した後、低ドーズ量($3 \times 10^{13}/\text{cm}^2$)で燐の第1回イオン打ち込みを行い、ゲート電極(13a, 13b)をマスクにソース及びドレイン領域(11S, 11D)とLD領域(11Lc, 11Ld, 11Le, 11Lf)を形成するとともに、ゲート電極(13a, 13b)の直下が各々p型のチャンネル領域(11Na, 11Nb)とされる。ゲート電極(13a, 13b)上に、チャンネル長方向の両外側に1~2μmはみ出すサ

イズのレジストを被覆してこれをマスクに、燐の第2回イオン注入を高ドーズ量($3 \times 10^{15}/\text{cm}^2$)で行うことにより、ゲート電極(13a, 13b)の各々の両脇のp-Si(11)層がレジストの直下で低濃度に保たれてLD領域(11Lc, 11Ld, 11Le, 11Lf)とされるとともに、レジスト外のp-Si(11)は高濃度にドーピングされて、ソース領域(11S)、ドレイン領域(11D)及び共通領域(11B)が形成される。

【0022】ランプアニールまたはエキシマレーザアニールにより、p-Siのドーブド領域(11S, 11D, 11B, 11Lc, 11Ld, 11Le, 11Lf)を活性化した後、410℃の常圧CVDによりSiO₂を2000Å形成し、600℃でアニールした後、更に、300℃のプラズマCVDによりSiO₂を3000Åの厚さに成膜することにより第1の層間絶縁膜(14)を形成している。その後、シリコン中の未結合手終端の目的で、450℃のH₂アニールを行った後、RIEによりドレイン及びソース領域(11D, 11S)上のゲート絶縁膜(12)及び第1の層間絶縁膜(14)中にコンタクトホール(CT1, CT2)を形成し、Ti/AlSiをスパッタリングにより、7000Åの厚さに積層し、これをRIEによりパターニングして、ドレイン電極(15)とソース電極(16)を形成している。ドレイン電極(15)は同一列について接続されている。ドレイン電極(15)とソース電極(16)は各々コンタクトホール(CT1, CT2)を介してドレイン及びソース領域(11D, 11S)に接続されている。

【0023】再び、シリコン中の未結合手終端のために、390℃のHプラズマ処理を行った後、410℃のCVDにより、SiO₂を2000Åの厚さに積層し、SOG膜、即ち、スピン塗布及び焼成により形成されるSiO₂膜を被覆して平坦化し、更に、410℃のCVDにより、SiO₂を1000Åの厚さに積層して第2の層間絶縁膜(17)を形成している。そして、RIEによりソース電極(16)上の第2の層間絶縁膜(17)中に、コンタクトホール(CT3)を形成し、ITOをスパッタリングにより成膜し、これをRIEによりパターニングして、表示電極(18)を形成し、ソース電極(16)に接続している。

【0024】本実施形態では、ゲート電極(13Ga, 13Gb)の両側に長さ1~2μm程度のLD領域(11Lc, 11Ld, 11Le, 11Lf)が介在された構成において、p-Si(11)が反り返った形状で、各々のチャンネル領域(11Na, 11Nb)の電流方向が互いに逆向きにされている。通常、このようなLD領域(11Lc, 11Ld, 11Le, 11Lf)は、強電界の緩和のために0.5μm以上は必要であるが、マスクずれによりLD領域が縮小すると、強電界が緩和

されず、リーク電流を抑えられなくなる。本実施形態では、チャンネル中の電流の方向が互いに逆を向くような構造としたことにより、一方のチャンネルにおいて、リーク電流が生じて、これと直列関係にある他方のチャンネルによってリーク電流を抑えることができる。

【0025】例えば図3に示すように、レジスト(R)が左にずれた時、これをマスクに隣接の第2回のイオン注入を行うと、LD領域(11Ld, 11Le)の長さが増大し、LD領域(11Lc, 11Lf)が短縮あるいは消失する。この場合、ドレインに正電圧が印加されると、LD領域(11Lc)において電界が緩和されず、チャンネル領域(11Na)をリーク電流が流れ、共通領域(11B)に正電圧が与えられるが、この時、チャンネル領域(11Nb)では、LD領域(11Le)において、強電界が緩和されるので、リーク電流が抑えられる。

【0026】同様に、図示は省いたが、レジスト(R)が右にずれた場合には、LD領域(11Lc, 11Lf)が増大し、LD領域(11Ld, 11Le)が短縮あるいは消失する。この場合、ドレインに負電圧が印加されると、LD領域(11Ld)において強電界が緩和されず、チャンネル領域(11Na)をリーク電流が流れ、共通領域(11B)に負電圧が与えられるが、この時、チャンネル領域(11Nb)では、LD領域(11Lf)において、強電界が緩和されるので、リーク電流が抑えられる。

【0027】即ち、互いに電流方向が逆となるチャンネル領域(11Na, 11Nb)を直列に結合した構造により、一方のチャンネルでLD領域が無効となっても他方のチャンネルでLD領域が有効となってリーク電流が抑えられるので、電圧保持率が上昇し、コントラスト比が向上される。図4及び図5は本発明の第2の実施形態に係るTFTの構造を示している。図4は単位画素部の平面図であり、図5はそのB-B線に沿った断面図である。ガラスなどの基板(10)上に、多結晶シリコン(poly-Si)(21)がTFT部において直角に折れ曲げられた形状で島状に形成されるとともに、これと一体で画素周縁部にも形成されて、第1の補助容量電極(21C)となっている。これらp-Si(21)島層及び第1の補助容量電極(21C)上にはゲート絶縁膜(22)が被覆されている。ゲート絶縁膜(22)上にはゲートライン(23L)が形成され、p-Si(21)島層に対応する領域には、ゲートライン(23L)からの延在部が、折れ曲げられた形状のp-Si(21)上の2カ所へ配されるように折れ曲げられており、各々2つのゲート電極(23Ga, 23Gb)となっている。ゲート電極及びライン(23)は下層がポリシリコン、上層がタンガステンなどのシリサイドの積層構造からなるポリサイド層により形成されている。

【0028】p-Si(21)層には、これらゲート電

極(23Ga, 23Gb)をマスクとしたセルフアライン関係をもって2つのチャンネル領域(21Na, 21Nb)、チャンネル領域(21Na)の両側にはn型に低濃度にドーピングされたLD(lightly doped)領域(21Lc, 21Ld)、チャンネル領域(21Nb)の両側にはn型に低濃度にドーピングされたLD領域(21Le, 21Lf)が形成されている。また、LD領域(21Lc)(21Lf)の更に外側には各々n型に高濃度にドーピングされたドレイン領域(21D)及びソース領域(21S)が形成され、LD領域(21Ld)と(21Le)の間には各々n型に高濃度にドーピングされた共通領域(21B)が形成されている。

【0029】また、ゲート絶縁膜(22)を挟んだ第1の補助容量電極(21C)上には、ゲート電極及びライン(23)と同一層のポリサイドからなる第2の補助容量電極(23C)が形成され、電荷保持用の補助容量が形成されている。これらゲート電極(23Ga, 23Gb)、ゲートライン(23L)及び第2の補助容量電極(23C)上には、SiO₂などからなる第1の層間絶縁膜(24)が全面に被覆されている。第1の層間絶縁膜(24)上には、Alなどからなるドレイン電極(25)とソース電極(26)が形成されており、ドレイン領域(21D)及びソース領域(21S)上の第1の層間絶縁膜(24)とゲート絶縁膜(22)中に開口されたコンタクトホール(CT4, CT5)を介して、それぞれ、ドレイン領域(21D)及びソース領域(21S)が接続形成されている。

【0030】これらドレイン及びソース電極(25, 26)を覆う全面は、SiO₂/SOG/SiO₂のような平坦化絶縁層からなる第2の層間絶縁膜(27)が形成され、ソース電極(26)上にはコンタクトホール(CT6)が開口されている。第2の層間絶縁膜(27)上には、ITOからなる表示電極(28)が形成され、コンタクトホール(CT6)を介してソース電極(26)に接続されている。

【0031】本実施形態では、ゲート電極(23Ga, 23Gb)の両側に長さ1~2μm程度のLD領域(21Lc, 21Ld, 21Le, 21Lf)が介在された構成において、p-Si(21)が折れ曲げられた形状で、各々のチャンネル領域(21Na, 21Nb)の電流方向が互いに直交するようにされている。通常、このようなLD領域(21Lc, 21Ld, 21Le, 21Lf)は、強電界の緩和のために0.5μm以上は必要であるが、マスクずれによりLD領域が縮小すると、強電界が緩和されず、リーク電流を抑えられなくなる。本実施形態では、チャンネル長方向が互いに互いに直交するような構造としたことにより、一方のチャンネルにおいて、リーク電流が生じて、これと直列関係にある他方のチャンネルによってリーク電流を抑えることができるものである。

【0032】例えば図6に示すように、レジスト(R)が左にずれた時、これをマスクに燐の第2回のイオン注入を行うと、LD領域(21Ld)が増大し、LD領域(21Lc)が短縮あるいは消失するが、LD領域(21Le, 21Lf)は変化せず、正常に保たれる。この場合、ドレインに正電圧が印加されると、LD領域(21Lc)において電界が緩和されず、チャンネル領域(21Na)をリーク電流が流れ、共通領域(21B)に正電圧が与えられるが、この時、チャンネル領域(21Nb)では、LD領域(21Le)において、強電界が緩和されるので、リーク電流が抑えられる。

【0033】同様に、図示は省いたが、レジスト(R)が右にずれた場合には、LD領域(21Lc)が増大し、LD領域(21Ld)が短縮あるいは消失する。この場合、ドレインに負電圧が印加されると、LD領域(21Ld)において強電界が緩和されず、チャンネル領域(21Na)をリーク電流が流れ、共通領域(21B)に負電圧が与えられるが、この時、チャンネル領域(21Nb)では、LD領域(21Lf)において、強電界が緩和されるので、リーク電流が抑えられる。

【0034】また、レジスト(R)が上下にずれ動いた場合にも、左右にずれ動いた場合と同様に、チャンネル領域(21Na)とチャンネル(21Nb)のどちらか一方で、LD領域(21Lc, 21Ld)あるいは(21Le, 21Lf)で電界緩和作用が有効となる。このため、直列に結合されたチャンネル領域(21Na)とチャンネル(21Nb)のどちらか一方で、リーク電流が抑えられ、電圧保持率が上昇し、コントラスト比が向上される。

【0035】

【発明の効果】以上の説明から明らかな如く、本発明で、2つのチャンネル領域の両側に低濃度領域を介在させたLDD構造のダブルゲートTFTにおいて、チャンネルの電流方向を互いに異なる方向になるようにした構造により、マスク合わせの際の、位置ずれにより一方の

チャンネルに関して低濃度領域の縮小あるいは消失が起こっても、他方のチャンネル領域に関しては、低濃度領域がマスクずれの影響を受けずに、リーク電流が抑えられるため、電圧保持率が上昇し、コントラスト比が向上される。

【0036】マスクずれを吸収するための、低濃度領域の長さを増やす必要が無く、TFTサイズを小さくできるため、開口率が向上する。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係るTFTの平面図である。

【図2】図1のA-A線に沿った断面図である。

【図3】本発明の第1の実施形態の作用効果を説明する平面図である。

【図4】本発明の第2の実施形態に係るTFTの平面図である。

【図5】図4のB-B線に沿った断面図である。

【図6】本発明の第2の実施形態の作用効果を説明する平面図である。

20 【図7】従来のTFT平面図である。

【図8】図7のC-C線に沿った断面図である。

【図9】従来のTFTの問題を説明する平面図である。

【符号の説明】

10, 20 基板

11, 21 p-Si

12, 22 ゲート絶縁膜

13, 23 ゲート電極配線

14, 24 第1の層間絶縁膜

15, 25 ドレイン電極配線

30 16, 26 ソース電極

17, 27 第2の層間絶縁膜

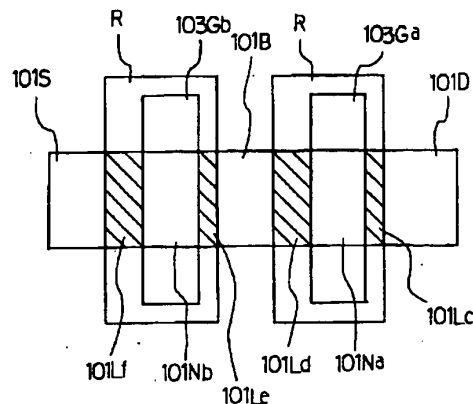
18, 28 表示電極

CT1, CT2, CT3, CT4, CT5, CT6 コ

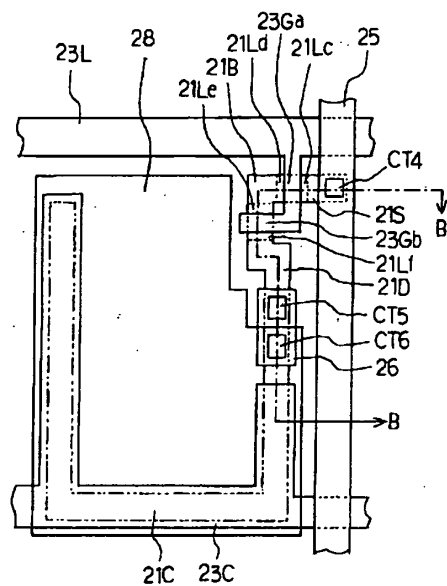
ンタクトホール

R レジスト

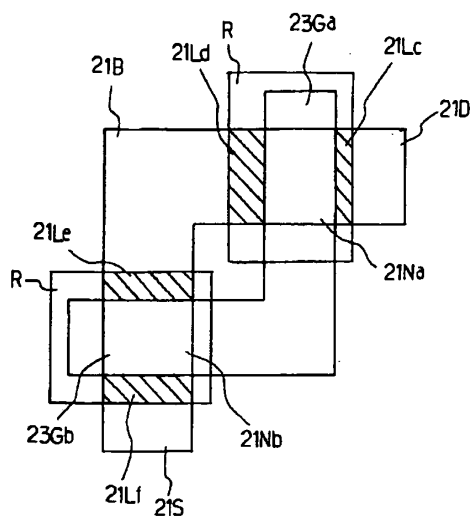
【図9】



【図 4】



【図 6】



【図 5】

